

## 優先権証明願 (PCT)

特許庁長官 小 川 洋 殿

1. 出願番号 特願 2004-053044

2. 請求人

識別番号 100109748

住 所 東京都台東区上野 3 丁目 16 番 3 号  
上野鈴木ビル 7 階 梓特許事務所

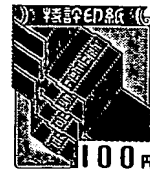
氏 名 伊 効 ツトム  
弁理士 飯 高 勉  
電話番号 03-3834-4360



3. 出願国名 PCT

4. 証明に係る他の書類名

(1, 400 円)



## 明 細 書

### 欠陥画素検出装置と方法および撮像装置

#### 技 術 分 野

本発明は、ＣＣＤイメージセンサ等の固体撮像素子から出力される画素信号に含まれる欠陥画素を撮影中に検出することが可能な、欠陥画素検出装置と方法および撮像装置に関するものである。

#### 背 景 技 術

画素数の多い固体撮像素子を用いるカメラでは、欠陥画素の発生頻度の高さが問題となっており、これらを検出し補正することによって、固体撮像素子の歩留まりを向上させ装置価格を低減することが可能となる。特開平７－１６２７５７号公報には、あらかじめ工場出荷時に欠陥画素位置を調査しておき、この結果をメモリに保持しておくことで欠陥画素位置を特定する方式が開示されている。特開平６－２０５３０２号公報、特開平６－２９２０９１号公報、特開２００２－１０２７４号公報には、欠陥画素位置をメモリに保持することなく、固体撮像素子の出力信号より欠陥画素をリアルタイムに検出する方式が開示されている。これらの方式によれば、特開平７－１６２７５７号公報に記載されているように、工場出荷時に欠陥画素位置を調査する必要がなく、また、工場出荷後に発生した欠陥画素についても検出可能という利点がある。

図７は従来の特開平６－２９２０９１号公報に記載されている、欠陥画素をリアルタイム検出する方式を説明するブロック図である。ＣＣＤ等の固体撮像素子９０１の出力信号は、Ａ／Ｄ変換器９０２によりデジタル信号に変換され、ラッチ９０３に格納される。ラッチ９０３は、遅延器、ラインメモリ等から構成され、欠陥画素検出アルゴリズムが必要とする画素データを保持する。欠陥画素検出部９０４は、当該画素が

欠陥であるか否かを判定し、判定結果を欠陥画素補正部 905 に送出する。欠陥画素補正部 905 は、欠陥画素と判定された画素については、周辺画素を利用して補正した結果を補正出力 906 として出力する。ラッチ 903、欠陥画素検出部 904、欠陥画素補正部 905 には、同期したクロック信号 CLK が入力される。なお、A/D 変換器 902 に入力されるクロック信号は図示を省略している。

しかしながら、特開平 6-292091 号公報に記載されているように、欠陥画素をリアルタイムに検出する方式においては、欠陥画素の検出に失敗する「検出もれ」や、正常画素を誤って欠陥画素と認識してしまう「誤検出」が発生する可能性がある。これらによる画質劣化を抑えるためには、欠陥画素検出アルゴリズムを複雑にする必要があり、結果として演算量や消費電力が増大するという問題があった。

本発明は、従来技術のこのような問題点に鑑みてなされたものであり、その目的は、欠陥画素を低演算量・低消費電力でリアルタイムに検出する、欠陥画素検出装置と方法および撮像装置を提供することにある。

## 発 明 の 開 示

上記目的を達成する本発明の欠陥画素検出装置は、固体撮像素子から出力される画素データ中に含まれる欠陥画素を検出する欠陥画素検出装置において、前記画素中から正常画素を検出し除外する正常画素検出手段と、前記画素の内前記正常画素検出手段にて除外されない画素の中から欠陥画素を検出する欠陥画素検出手段とを備えたことを特徴とする。このように、本発明の欠陥画素検出装置においては、正常画素検出部において欠陥の可能性が極めて低い画素を検査対象から除外し、欠陥の可能性のある画素についてのみ欠陥画素検出部において欠陥画素検出を行う。このため、欠陥の可能性が極めて低い画素を検査対象から除外することにより、欠陥画素検出部の動作率を低下させることが可能

となり、演算量の削減や低消費電力化の効果を得ることができる。

また、本発明の欠陥画素検出装置においては、前記正常画素検出手段は、検査画素と周辺画素との間のレベル差を計算するレベル差計算手段と、前記レベル差と第1の閾値とを比較する比較手段とを備えており、前記レベル差が前記第1の閾値よりも小さい場合には正常画素と判定することを特徴とする。このような本発明の実施形態においては、正常画素の検出方式として、検査対象画素と周辺の1個の画素との間にあるレベル差を閾値と比較する。このため、簡単な構成からなる正常画素検出部によって、欠陥の可能性が極めて低い画素を検査対象から除外することが可能となり、演算量の削減や低消費電力化の効果を得ることができる。

また、本発明の欠陥画素検出装置においては、前記正常画素検出手段は、検査画素と複数の周辺画素との間のレベル差を各々計算するレベル差計算手段と、該レベル差計算手段で計算された前記複数のレベル差と第1の閾値とを各々比較する比較手段と、前記比較手段の比較結果から、前記レベル差が前記第1の閾値よりも小さくなる周辺画素の個数を計算し、該計算で算出した個数と、第2の閾値とを比較する判定部とを備えており、前記個数が前記第2の閾値以上の場合には正常画素と判定することを特徴とする。このような本発明の実施形態においては、正常画素検出部において欠陥の可能性が極めて低い画素を検査対象から除外し、欠陥の可能性のある画素についてのみ欠陥画素検出部において欠陥画素検出を行う。正常画素の検出方式として、検査対象画素と周辺の複数個の画素との間にあるレベル差を閾値と比較する。このため、簡単な構成からなる正常画素検出部によって、欠陥の可能性が極めて低い画素を検査対象から除外することが可能となり、演算量の削減や低消費電力化の効果を得ることができる。

また、本発明の欠陥画素検出装置においては、前記正常画素検出手

段は、検査画素保持用のメモリを、前記欠陥画素検出手段のメモリと共用することを特徴とする。このような本発明の実施形態においては、正常画素検出部が使用するラッチと欠陥画素検出部が使用するラッチを共用とする。このため、簡単な構成からなる正常画素検出部によって、欠陥の可能性が極めて低い画素を検査対象から除外することが可能となり、演算量の削減や低消費電力化の効果を得ることができる。また、ラッチを共用することで、正常画素検出部の装置規模を削減することができる。

また、本発明の欠陥画素検出装置においては、前記欠陥画素検出手段は、前記正常画素検出手段において正常画素と判定された際にはクロックを停止して低消費電力状態に移行することを特徴とする。このような本発明の実施形態においては、欠陥画素検出部は、正常画素検出部が正常と判定した際にはクロックを停止し低消費電力状態に移行する。すなわち、正常画素検出部によって、欠陥の可能性が極めて低い画素を検査対象から除外し、この間欠陥画素検出部を低消費電力状態に移行させているので、装置全体の消費電力を削減することができる。

本発明の欠陥画素検出方法は、固体撮像素子から出力される画素データの中から正常画素を検出するステップと、前記検出された正常画素を除外するステップと、前記正常画素を除外した後の画素の中から欠陥画素を検出するステップと、を有することを特徴とする。このように、正常画素検出部において欠陥の可能性が極めて低い画素を検査対象から除外し、欠陥の可能性のある画素についてのみ欠陥画素検出部において欠陥画素検出を行う。このため、すべての画素について欠陥画素の検出を行う場合と比較して、演算処理を高速で行え、処理時間の短縮を図ることができる。

また、本発明の欠陥画素検出方法においては、前記正常画素を検出するステップは、検査画素と周辺画素との間のレベル差を計算し、該

計算で算出されたレベル差と第1の閾値とを比較し、該比較した結果レベル差が前記第1の閾値よりも小さい場合には正常画素と判定することを特徴とする。このように、前記レベル差を第1の閾値と比較するという簡単な演算により正常画素と判定して、正常画素については欠陥画素検出を行わないので、全体としての処理時間の短縮を図ることができる。

また、本発明の欠陥画素検出方法においては、前記正常画素を検出するステップは、検査画素と複数の周辺画素との間のレベル差を各々計算し、該計算された前記複数のレベル差と第1の閾値とを各々比較し、該比較した各々の比較結果から、前記レベル差が前記第1の閾値よりも小さくなる周辺画素の個数を計算し、該計算で算出された個数と、第2の閾値とを比較して前記個数が前記第2の閾値以上の場合には正常画素と判定することを特徴とする。このように、前記レベル差を第1の閾値と比較し、前記個数を第2の閾値と比較してその比較結果に基づいて正常画素と判定しているので、判定精度が向上し、欠陥画素検出の信頼性を高めることができる。

本発明の撮像装置は、固体撮像素子から出力される画素データ中に含まれる欠陥画素を検出する欠陥画素検出装置を備えた撮像装置において、前記欠陥画素検出装置は、前記画素中から正常画素を検出し除外する正常画素検出手段と、前記画素の内前記正常画素検出手段にて除外されない画素の中から欠陥画素を検出する欠陥画素検出手段とを備えたことを特徴とする。このように、本発明の撮像装置は、欠陥の可能性が極めて低い画素を検査対象から除外している。このため、欠陥画素検出部の動作率を低下させることが可能となり、演算量の削減や低消費電力化の効果を得ることができる。

また、本発明の撮像装置においては、前記正常画素検出手段は、検査画素と周辺画素との間のレベル差を計算するレベル差計算手段と、前記レベル差と第1の閾値とを比較する比較手段とを備えており、前記

レベル差が前記第1の閾値よりも小さい場合には正常画素と判定することとを特徴とする。この場合には、簡単な構成からなる正常画素検出部によって、欠陥の可能性が極めて低い画素を検査対象から除外している。このため、撮像装置の演算量の削減や低消費電力化の効果を得ることができる。

また、本発明の撮像装置においては、前記正常画素検出手段は、検査画素と複数の周辺画素との間のレベル差を計算する複数のレベル差計算手段と、該複数のレベル差計算手段で計算された前記複数のレベル差と第1の閾値とを各々比較する比較手段と、前記比較手段の比較結果から、前記レベル差が前記第1の閾値よりも小さくなる周辺画素の個数を計算し、前記計算した前記周辺画素の個数と、第2の閾値とを比較する判定部と、を備えており、前記レベル差が前記第1の閾値よりも小さくなる周辺画素の個数が前記第2の閾値以上の場合には正常画素と判定することとを特徴とする。この場合には、精度が高い欠陥画素の検出が可能となり、撮像装置の信頼性が向上する。

#### 図面の簡単な説明

図1は本発明の第1の実施形態を示すブロック図である。

図2はラッチの構成例を示すブロック図である。

図3は正常画素検出部の構成例を示すブロック図である。

図4は正常画素検出部の他の構成例を示すブロック図である。

図5は本発明の第2の実施形態を示すブロック図である。

図6は第3の実施形態を示すフローチャートである。

図7は従来例を示すブロック図である。

#### 発明を実施するための最良の形態

以下、本発明の実施の形態について図を参照して説明する。図1は、

本発明における第 1 の実施形態の構成を示すブロック図である。図 1 において、CCD 等の固体撮像素子 101 の出力信号は、A/D 変換器 102 によりデジタル信号に変換され、ラッチ 103 に格納される。ラッチ 103 は、遅延器 D、ラインメモリ等から構成され、欠陥画素検出アルゴリズムが必要とする画素データを保持する。また、ラッチ 103' も遅延器 D、ラインメモリ等から構成され、A/D 変換器 102 の出力デジタル信号が入力される。正常画素検出部 104 は、ラッチ 103' の出力信号が入力され、検査対象画素が正常画素か、欠陥画素の可能性があるかを簡易的に判定し、判定結果を欠陥画素検出部 105 に送出する。欠陥画素検出部 105 は、正常画素検出部 104 により正常画素と判定されなかった画素についてのみ、ラッチ 103 中に保持された画素を用いて欠陥画素判定を行う。判定結果は欠陥画素補正部 106 に送出され、欠陥画素補正部 106 は欠陥画素と判定された場合には補正処理を行い補正出力 107 とする。ラッチ 103、ラッチ 103' 正常画素検出部 104、欠陥画素検出部 105、欠陥画素補正部 106 には同期したクロック信号 CLK が入力される。

図 2 は、ラッチ 103 の構成例を示すブロック図である。図 2 に示したラッチ 103 は、欠陥画素検出部 105 の検出アルゴリズム、および欠陥画素補正部 106 の補正アルゴリズムが、検査対象画素を中心とした  $3 \times 3$  画素を入力として必要とする場合の例である。A/D 変換器出力 201 から、1 画素を保持する遅延器 D と 1 ライン分の画素を保持するラインメモリ 202、203 により、検査対象画素を中心とした  $3 \times 3$  画素が保持される。遅延器 D は、24a ~ 24i の 9 個配列されている。遅延器 24a ~ 24c には、A/D 変換器出力 201 がそのまま入力される。また、遅延器 24d ~ 24f には、A/D 変換器出力 201 がラインメモリ 202 を介して入力される。さらに、遅延器 24g ~ 24i には、A/D 変換器出力 201 がラインメモリ 202、203 を介



して入力される。図2の例では、検査対象画素を $X(0, 0)$ とし、その右隣の画素を $X(1, 0)$ 、上隣の画素を $X(0, -1)$ 等のように表記してある。ただし、画素データは遅延器24a～24iを介して出力されるので、検査対象画素を $X(0, 0)$ とすると、その上下左右の画素の位置は反転して表記されている。

図1において、正常画素検出部104は、A/D変換器出力201を入力とし、検査対象画素が正常画素か、欠陥画素の可能性があるかを簡易的に判定し、判定結果を欠陥画素検出部105に送出する。正常画素検出部104は、検査対象画素と隣接画素との間のレベル差を計算し、レベル差が所定の閾値より小さい隣接画素の存在に基づき正常画素か欠陥画素の可能性のある画素かを判定する。

図3は、本発明の実施形態を示すブロック図である。図3は、検査対象画素に隣接する1個の画素との間のレベル差を判定に用いる正常画素検出部の構成例である。図3を用いて正常画素検出部104の動作について詳細に説明する。ラッチ103'は、ラインメモリ302と、24j、24kで示した遅延器Dとにより構成される。ラッチ103'には、検査対象画素 $X(0, 0)$ およびその右隣の画素 $X(1, 0)$ が保持される。差分演算器303と絶対値演算部304により、これら画素値の差分の絶対値が計算される。次に閾値比較部305において、前記差分の絶対値と予め設定された閾値との比較がなされ、閾値よりも小さい場合には正常画素と判定する。また、差分の絶対値が閾値以上の場合には欠陥画素の可能性ありと判定し、正常画素検出結果306とする。

図4は正常画素検出部104の別の構成例を示すブロック図である。図4は、検査対象画素に隣接する2個の画素との間のレベル差を判定に用いる構成例である。この例では、ラッチ103'は、ラインメモリ402と、24p～24rで示した遅延器Dとにより構成される。ラッチ103'により、検査対象画素 $X(0, 0)$ 、右隣の画素 $X(1, 0)$ 、および左

隣の画素  $X(-1, 0)$  が保持される。差分演算器 403 と絶対値演算部 404 により、検査対象画素と右隣の画素間のレベル差が計算され、閾値比較部 405 において予め設定された第 1 の閾値との比較がなされる。差分演算器 406 と絶対値演算部 407 では、検査対象画素と左隣の画素間のレベル差が計算され、閾値比較部 408 において予め設定された第 1 の閾値との比較がなされる。判定部 409 で、検査対象画素と隣接画素のレベル差が閾値よりも小さくなる場合の隣接画素数を計算し、これがあらかじめ設定された第 2 の閾値以上の場合には正常画素と判定して、正常画素検出結果 410 とする。第 2 の閾値として 1 を設定した場合には、左右隣接画素のうち少なくともどちらか一方のレベル差が第 2 の閾値よりも小さい場合に正常画素と判定される。第 2 の閾値として 2 を設定した場合には、左右隣接画素のうち両方のレベル差が第 2 の閾値よりも小さい場合に正常画素と判定される。図 4 の例では、閾値比較部 405 と 408、および判定部 409 の 2 段階の判定手段を用いて正常画素か否かを判定している。このため、正常画素の判定精度が向上し、信頼性を高めることができる。

図 1 において、欠陥画素検出部 105 は、正常画素検出部 104 にて正常画素と判定されなかった画素についてのみ、ラッチ 103 中に保持された画素を用いて欠陥画素検出を行う。本実施形態においては、検出アルゴリズムは、検査対象画素の周辺の  $3 \times 3$  画素を用いる公知のアルゴリズムとする。なお、 $3 \times 3$  より大きい領域の画素を必要とするアルゴリズムも、ラッチ 103 を変更することにより利用可能である。欠陥画素検出部 105 は、正常画素検出部 104 にて正常画素と判定された画素については、欠陥画素検出動作を行わず、クロック CLK を停止する等の低消費電力モードに移行する。この場合には、ラッチ 103、正常画素検出部 104、欠陥画素検出部 105、欠陥画素補正部 106 に供給されるクロック CLK を停止するように、クロック CLK の発生源

である発信器の電源をオフにする。このため、電力消費を少なくすることができる。欠陥画素検出部 105 での検出結果は欠陥画素補正部 106 に送出される。欠陥画素補正部 106 は欠陥画素と判定された画素については周辺画素を用いた補正処理を行い補正出力 107 とする。本実施例においては、補正アルゴリズムはラッチ 103 に格納された領域の画素を用いる公知のアルゴリズムとする。なお、欠陥画素検出部が必要とする領域よりも大きい領域の画素を必要とするアルゴリズムも、ラッチ 103 を変更することにより利用可能である。

以上説明したように、この実施形態においては簡易な構成からなる正常画素検出部 104 により欠陥の可能性が極めて低い画素を検査対象から除外している。このため、欠陥画素検出部 105 の動作率を低下させることが可能となり、演算量の削減や低消費電力化の効果を得ることができる。

なお本実施形態においては、正常画素検出部 104 において比較対象とする画素として、検査対象画素の左隣の画素、および、両隣の画素の例を提示した。本発明の実施形態は、これらの隣接画素に限られるものではない。検査対象画素の斜め上の画素や、あるいは、隣の隣の画素等まで含めた周辺画素を対象とすることも可能である。また、本実施形態は CFA (Color Filter Array、カラーフィルタレイ) が搭載されている単版カラー撮像素子に対しても容易に拡張することが可能である。その際には、正常画素検出部 104 にて比較対象とする画素は、検査対象画素と同色の周辺画素となるように構成すれば良い。また、比較の際の閾値は、各色間で共通であっても、個別の値としても良い。

図 5 は、本発明における他の実施形態の構成を示すブロック図である。図 1 と同じ部分には同一の符号を付しており、詳細な説明は省略する。図 5 の例では、正常画素検出部 501 は、ラッチ 103 に格納された検

検査対象画素およびその周辺画素を入力とし、検査対象画素が正常画素か、欠陥画素の可能性があるかを簡易的に判定し、判定結果を欠陥画素検出部 105 に送出する。このように、図 5 の例では、ラッチ 103 を正常画素検出部 501 と欠陥画素検出部 105 で共用している。欠陥画素検出部 105 は、正常画素検出部 501 において正常画素と判定されなかった画素についてのみ、ラッチ 103 中に保持された画素を用いて欠陥画素判定を行う。判定結果は欠陥画素補正部 106 に送出され、欠陥画素補正部 106 は欠陥画素と判定された場合には補正処理を行い補正出力 502 とする。

本実施形態においては、正常画素検出部 501 は、ラッチ 103 に格納された画素を対象として正常画素か、欠陥画素の可能性あるかを判定している。このように、正常画素検出部 501 は、検査対象画素が正常画素か、欠陥画素の可能性あるか否かを簡易的に判定し、判定結果を欠陥画素検出部 105 に送出する。正常画素検出部 501 の構成は、図 3、図 4 に示した構成例から遅延器 D とラインメモリ 302、402 を除いたものとすることができる。このように、正常画素検出部 501 と欠陥画素検出部 105 が使用するラッチを共用とすることで、装置規模を削減することができる。図 5 の実施形態においては第 1 の実施形態と同様に、欠陥画素検出部 105 は、正常画素検出部 501 にて正常画素と判定されなかった画素についてのみ欠陥画素検出を行う。そして、欠陥画素補正部 106 は欠陥画素と判定された画素については、周辺画素を用いた補正処理を行い補正出力 502 とする。図 5 の実施形態では、正常画素検出部 501 と欠陥画素検出部 105 が使用するラッチ 103 を共用とすることで、装置規模を削減することができる。また、メモリ資源の有効利用が図れる。

以上説明した実施形態では、欠陥画素の検出はハードウェアによる処理を前提としていたが、本発明はこのような構成に限定されない。CC

D等の固体撮像素子101の出力信号を、A/D変換器102によりデジタル信号に変換した後、メモリ（ラッチ）に保存した画素データに対して、CPUやDSP等のプログラマブルプロセッサによって処理する構成も可能である。第6図は本発明のソフトウェア処理に関するフローチャートである。STEP1で検査対象画素と隣接する画素との間のレベル差として差分絶対値が計算される。隣接画素は第1の実施例に示した通り、1個の画素であっても、また、複数の画素であっても良い。STEP2において予め設定された閾値との比較がなされる。STEP3において閾値比較の結果から正常画素か欠陥画素の可能性があるかを判定する。隣接画素を1個の画素とした場合には、レベル差が閾値よりも小さい場合に正常画素と判定する。隣接画素が複数の場合には、レベル差が閾値よりも小さくなる場合の隣接画素数が、あらかじめ設定された第2の閾値以上の場合には正常画素と判定する。正常画素と判定されなかった検査対象画素に関してはSTEP4において欠陥画素検出を行う。STEP4の欠陥画素検出は公知のアルゴリズムとする。STEP5において全画素に対する検査が完了したかを判定し、完了していない場合にはSTEP1に戻り次の検査対象画素の検査を続行し、全画素に対する検査が完了している場合には終了とする。

以上説明した構成においては、STEP1～STEP3からなる簡易な正常画素検出により欠陥の可能性が極めて低い画素を検査対象から除外している。このため、STEP4の処理の動作率を低下させることが可能となり、演算量削減の効果を得ることができる。また、演算量が削減されることにより、CPUやDSPを低消費電力モードに移行させる時間を増やすことが可能となり、これによって低消費電力化の効果も得ることができる。また、演算処理の速度が高められ全体としての処理に要する時間を短縮することができる。

本発明の欠陥画素検出装置および撮像装置においては、簡単な構成か

らなる正常画素検出部を用いることによって、欠陥の可能性が極めて低い画素を検査対象から除外することにより、欠陥画素検出部の動作率を低下させることが可能となる。このため、演算量の削減や装置全体としての低消費電力化の効果を得ることができる。また、ラッチを共用とすることで正常画素検出部の装置規模を削減することができる。さらに、本発明の欠陥画素検出方法においては、欠陥画素を検出する際の演算処理を高速で行えるので、処理時間の短縮が図れる。また、演算精度を高めることができる。

#### 産業上の利用可能性

以上説明したように、本発明によれば、固体撮像素子から出力される画素信号に含まれる欠陥画素を撮影中に検出することが可能な、欠陥画素検出装置と方法および撮像装置を提供することができる。

## 請 求 の 範 囲

1. 固体撮像素子から出力される画素データ中に含まれる欠陥画素を検出する欠陥画素検出装置において、前記画素中から正常画素を検出し除外する正常画素検出手段と、前記画素の内前記正常画素検出手段にて除外されない画素の中から欠陥画素を検出する欠陥画素検出手段とを備えたことを特徴とする欠陥画素検出装置。

2. 前記正常画素検出手段は、検査画素と周辺画素との間のレベル差を計算するレベル差計算手段と、前記レベル差と第1の閾値とを比較する比較手段とを備えており、前記レベル差が前記第1の閾値よりも小さい場合には正常画素と判定することを特徴とする請求項1に記載の欠陥画素検出装置。

3. 前記正常画素検出手段は、検査画素と複数の周辺画素との間のレベル差を各々計算するレベル差計算手段と、該レベル差計算手段で計算された前記複数のレベル差と第1の閾値とを各々比較する比較手段と、前記比較手段の比較結果から、前記レベル差が前記第1の閾値よりも小さくなる周辺画素の個数を計算し、該計算で算出した個数と、第2の閾値とを比較する判定部とを備えており、前記個数が前記第2の閾値以上の場合には正常画素と判定することを特徴とする請求項1に記載の欠陥画素検出装置。

4. 前記正常画素検出手段は、検査画素保持用のメモリを、前記欠陥画素検出手段のメモリと共用することを特徴とする請求項1乃至3に記載の欠陥画素検出装置。

5. 前記欠陥画素検出手段は、前記正常画素検出手段において正常画素と判定された際にはクロックを停止して低消費電力状態に移行することを特徴とする請求項1乃至4に記載の欠陥画素検出装置。

6. 固体撮像素子から出力される画素データの中から正常画素を検出するステップと、前記検出された正常画素を除外するステップと、

前記正常画素を除外した後の画素の中から欠陥画素を検出するステップと、を有することを特徴とする欠陥画素検出方法。

7. 前記正常画素を検出するステップは、検査画素と周辺画素との間のレベル差を計算し、該計算で算出されたレベル差と第1の閾値とを比較し、該比較した結果レベル差が前記第1の閾値よりも小さい場合には正常画素と判定することを特徴とする請求項6に記載の欠陥画素検出方法。

8. 前記正常画素を検出するステップは、検査画素と複数の周辺画素との間のレベル差を各々計算し、該計算された前記複数のレベル差と第1の閾値とを各々比較し、該比較した各々の比較結果から、前記レベル差が前記第1の閾値よりも小さくなる周辺画素の個数を計算し、該計算で算出された個数と、第2の閾値とを比較して前記個数が前記第2の閾値以上の場合には正常画素と判定することを特徴とする請求項6に記載の欠陥画素検出方法。

9. 固体撮像素子から出力される画素データ中に含まれる欠陥画素を検出する欠陥画素検出装置を備えた撮像装置において、前記欠陥画素検出装置は、前記画素中から正常画素を検出し除外する正常画素検出手段と、前記画素の内前記正常画素検出手段にて除外されない画素の中から欠陥画素を検出する欠陥画素検出手段とを備えたことを特徴とする撮像装置。

10. 前記正常画素検出手段は、検査画素と周辺画素との間のレベル差を計算するレベル差計算手段と、前記レベル差と第1の閾値とを比較する比較手段とを備えており、前記レベル差が前記第1の閾値よりも小さい場合には正常画素と判定することを特徴とする請求項9に記載の撮像装置。

11. 前記正常画素検出手段は、検査画素と複数の周辺画素との間のレベル差を計算する複数のレベル差計算手段と、該複数のレベル差



計算手段で計算された前記複数のレベル差と第1の閾値とを各々比較する比較手段と、前記比較手段の比較結果から、前記レベル差が前記第1の閾値よりも小さくなる周辺画素の個数を計算し、前記計算した前記周辺画素の個数と、第2の閾値とを比較する判定部と、を備えており、前記レベル差が前記第1の閾値よりも小さくなる周辺画素の個数が前記第2の閾値以上の場合には正常画素と判定することを特徴とする請求項9に記載の撮像装置。

## 要 約 書

CCD等の固体撮像素子（１０１）の出力信号は、A／D変換器（１０２）によりデジタル信号に変換され、ラッチ（１０３）に格納される。ラッチ（１０３）は、遅延器、ラインメモリ等から構成され、欠陥画素検出アルゴリズムが必要とする画素データを保持する。正常画素検出部（１０４）は、A／D変換器（１０２）からの信号を入力し、検査対象画素が正常画素か、欠陥画素の可能性があるかを判定し、判定結果を欠陥画素検出部（１０５）に送出する。欠陥画素補正部（１０６）は欠陥画素と判定された場合には補正処理を行い補正出力（１０７）とする。

FIG. 1

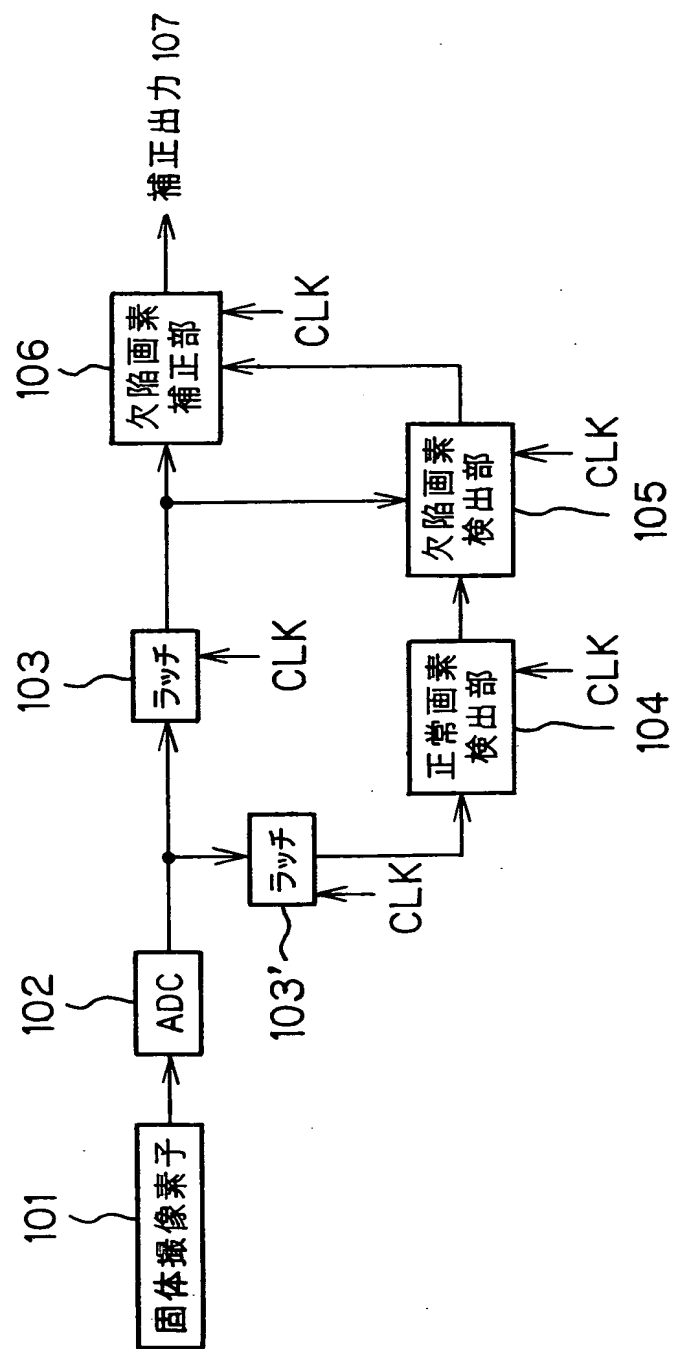


FIG. 2

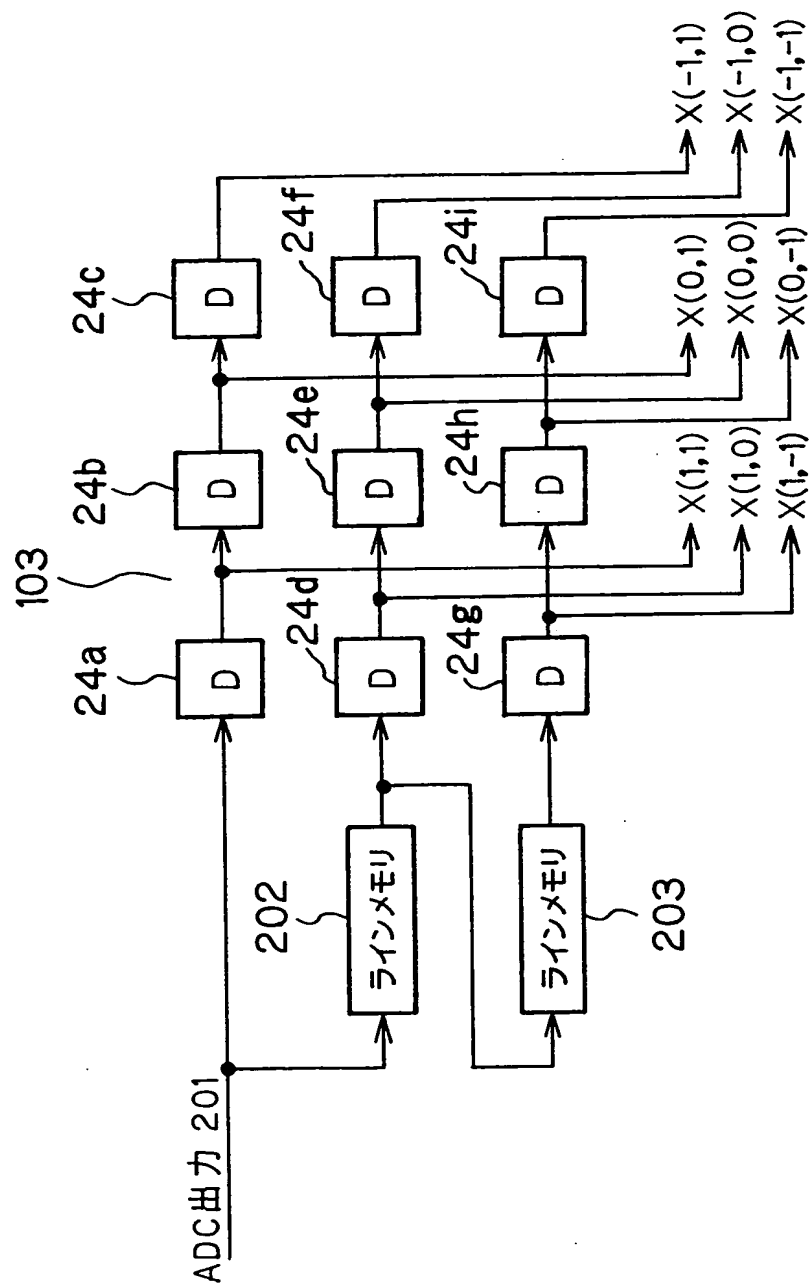


FIG. 3

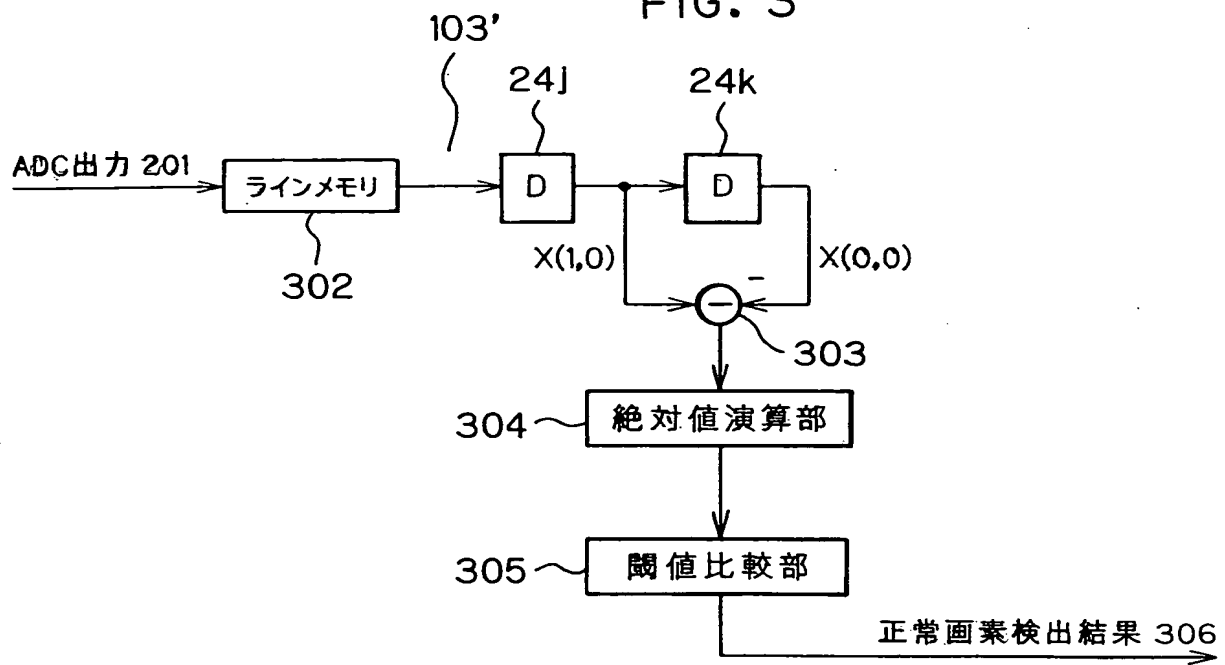


FIG. 4

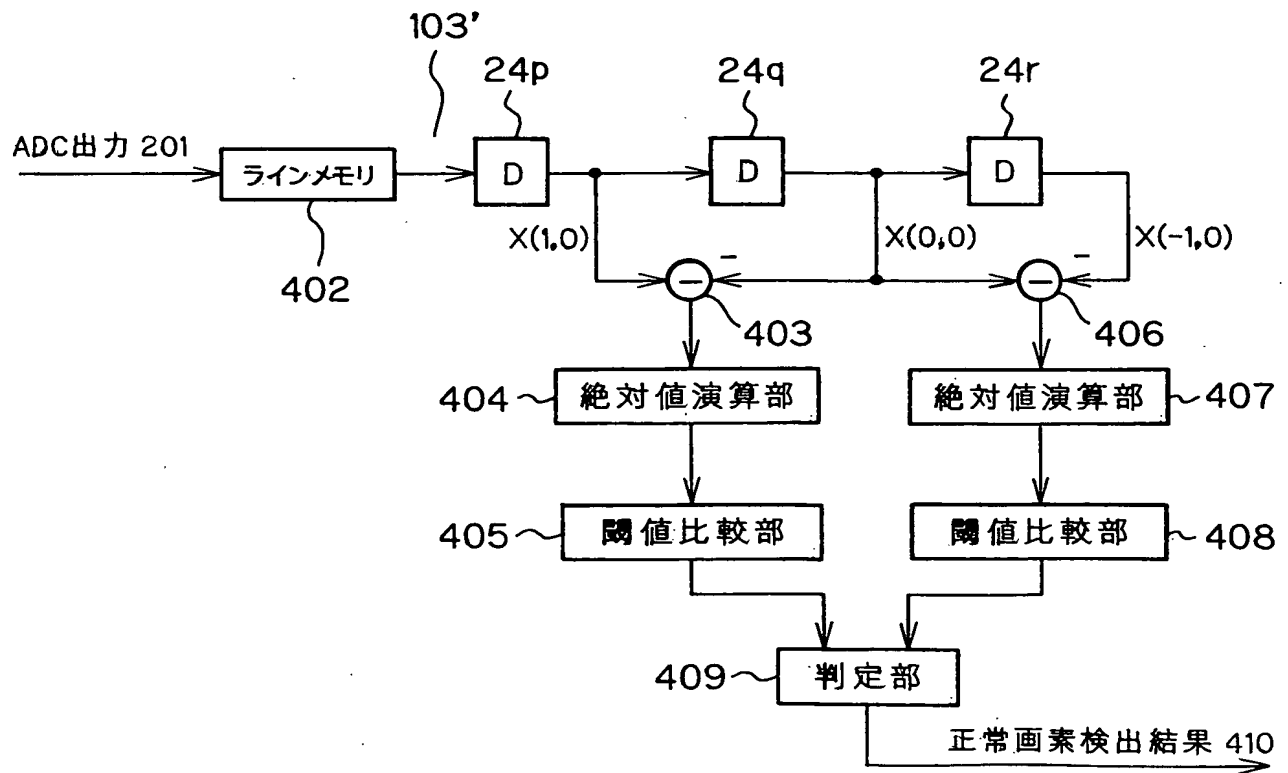


FIG. 5

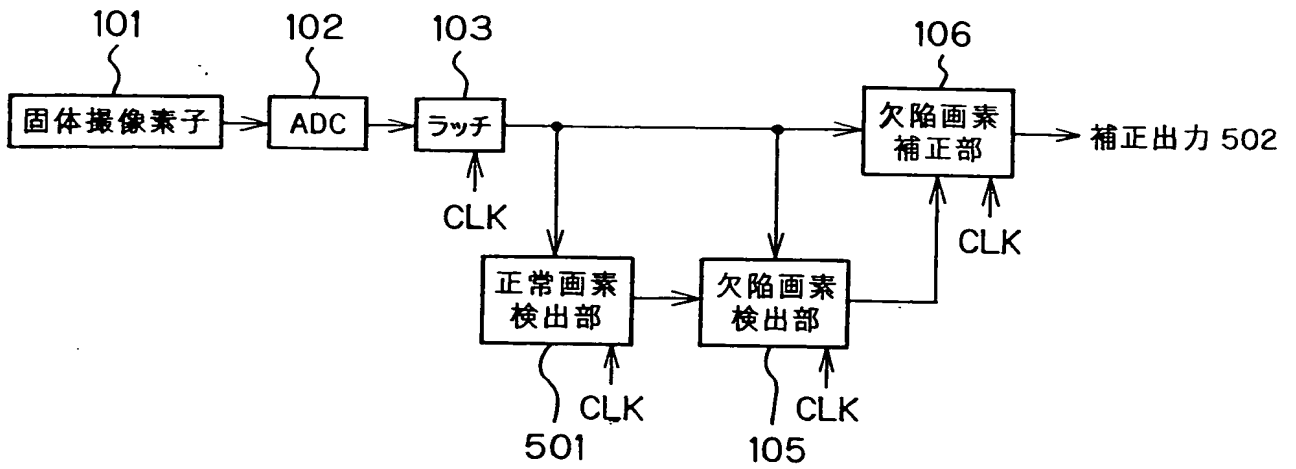


FIG. 6

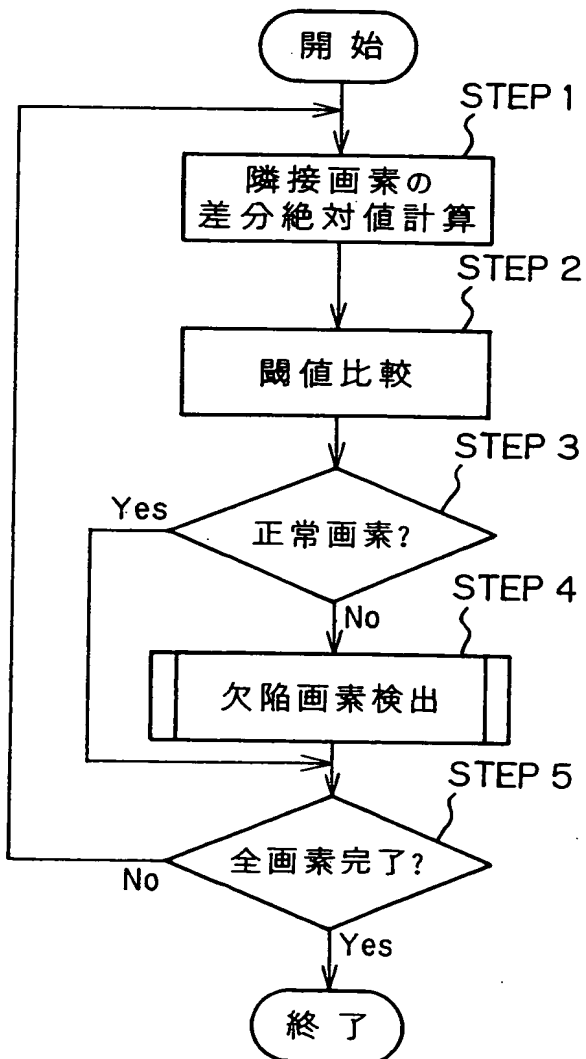


FIG. 7

